

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-147131

(43) 公開日 平成7年(1995)6月6日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J	9/02	B 7354-5E		
	1/30	B		

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平5-293356

(22) 出願日 平成5年(1993)11月24日

(71) 出願人 000003067

ティーディーケイ株式会社  
東京都中央区日本橋1丁目13番1号

(72) 発明者 萩原 淳

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

(72) 発明者 森田 真人

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

(72) 発明者 長野 克人

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

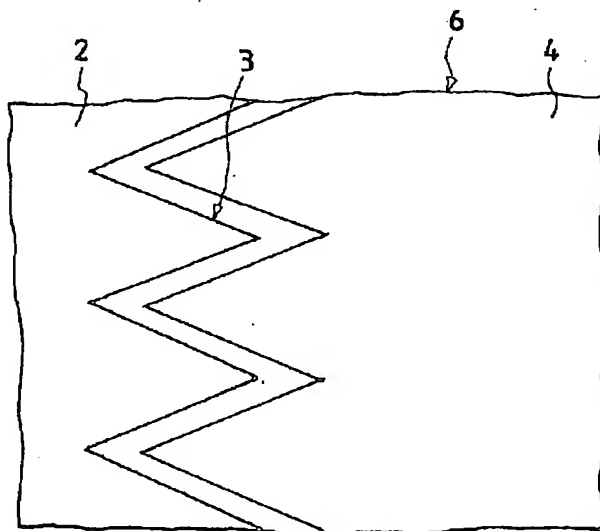
(74) 代理人 弁理士 三澤 正義

(54) 【発明の名称】 冷陰極電子源の製造方法

(57) 【要約】

【目的】 本発明は、簡易なプロセス及び低廉なコストで大面積化が可能で安定かつ良好な特性を発揮し得る冷陰極電子源素子を製造することができる冷陰極電子源の製造方法を提供する。

【構成】 本発明の冷陰極電子源の製造方法は、エミッタ3用導体層表面に、感光面である上主面よりも、前記エミッタ3用導体層側の下主面の面積が小さい底状を呈するようなレジスト膜を楔状に形成する工程と、前記レジスト膜よりはみ出た前記エミッタ3用導体層をエッチングにより除去する工程を含むものである。これにより、曲率半径50nm以下の尖鋭化された先端をもつエミッタ3による安定かつ良好な特性を発揮し得る冷陰極電子源素子を簡易なプロセスで再現性良く、また低廉なコストで歩留まり良く製造することができ、大面積化が可能となる。



## 【特許請求の範囲】

【請求項1】 エミッタ用導体層表面に、感光面である上主面よりも、前記エミッタ用導体層側の下主面の面積が小さい底状を呈するようなレジスト膜を楔状に形成する工程と、前記レジスト膜よりはみ出た前記エミッタ用導体層をエッチングにより除去する工程を含むことを特徴とする冷陰極電子源の製造方法。

【請求項2】 ゲート用導体層を付着した後に、前記底状を呈するレジスト膜及びこのレジスト膜表面の前記ゲート用導体層を除去し、尖鋭化した先端をもつ楔状のエミッタを露出させるとともに、このエミッタに前記底状部分の寸法に相当する微小距離を隔てたゲートを対向配置する工程を含むことを特徴とする請求項1記載の冷陰極電子源の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、冷陰極電子源素子の製造方法に関する。

【0002】

【従来の技術】 電界放射型電子源は、半導体の微細加工技術を利用してミクロンサイズに製造でき、しかも集積化やパッチ加工が容易であるため、熱電子放射型電子源では不可能であったGHz帯増幅器や大電力・高速スイッチング素子、更には高精細度フラットパネルディスプレイ用電子源への応用が期待されており、国内外において盛んに研究開発がなされている。

【0003】 このような電界放射型電子源の従来例を以下に説明する。

【0004】 図21に示す薄膜電界放射型の電子源は、冷陰極52と対向するゲート電極53とを0.3乃至2μmの間隔をあけて絶縁体基板51上に成膜し、真空中で前記冷陰極52とゲート電極53間に電圧をかけることにより電子放出を起こすものである（特開昭63-274047号）。前記冷陰極52はFIB（FocusIon Beam）技術を用いて形成されており、特に凸状部の先端は尖鋭に形成している。しかし、FIB技術を用いた場合、素子の大面積化が困難でかつ製造コストも高くなってしまう。

【0005】 一方、大面積化、製造コストを考えた場合、フォトリソグラフィ技術を用いたパターンニングが妥当である。しかし、現在のフォトリソグラフィ技術では、電子ビームスポット径が最小のパターンニング径となるため、直径0.5μm程度が限界である。このため冷陰極52の先端を尖鋭に形成するには、更に様々なプロセスを加えなくてはならない。しかし、プロセスが増加するほど、その間の素子損傷、特に冷陰極先端部を損傷する可能性が高まり、素子の歩留まりの低下の原因となっている。またそれら冷陰極尖鋭化プロセスのほとんどは煩雑であり、形状制御が困難である。

【0006】 図22に示す薄膜電界放射型の電子源は、

絶縁体基板61上の絶縁層62の表面に、超音波による壁開、破断の方法で冷陰極63、ゲート電極64を平行に形成したものである（特開平3-49129号）。

【0007】 しかし、この図22に示す薄膜電界放射型の電子源の場合、超音波による破断を伴うものであるため、冷陰極63の形状の均一化を図ることが技術的に困難であるとともに、冷陰極63を形成する薄膜に対するダメージが大きいという問題がある。

【0008】 図23、図24に示す薄膜電界放射型の電子源は、フォトリソグラフィ技術を用いて絶縁体基板71上の絶縁層72の上に多数の凸状部を持つ冷陰極73を形成した後に、等方性エッチング技術を利用して凸状部の先端を尖鋭化したものである（特開平3-252025号）。尚、図23中、74は冷陰極73と対向するゲート電極である。しかし、エッチング条件による冷陰極73の形状の制御が困難である。さらに、側壁保護膜の形成等によりアンダーカットが進行しないような場合には適用できない。

【0009】 また、エミッターゲート間のギャップ制御については、エミッタ材の上の被覆材を形成した後、アンダーカットが入るようにエミッタをエッチング等により形成し、このエミッタ及び被覆材の上方からゲートを蒸着等により形成する方法がある（特開平4-28138号）。しかし、エッチング条件によるアンダーカットの制御は困難で、再現性、精度の点で問題がある。さらに、側壁保護膜の形成等によりアンダーカットが進行しないような場合には適用できない。

【0010】

【発明が解決しようとする課題】 上述したように、従来の電界放射型電子源の製造方法の場合、冷陰極とゲート電極との距離を制御することが困難であったり、冷陰極の形状を適切に設定できなかったりして、特性が良好で、かつ、安定した電界放射型電子源を得ることができないという問題があった。

【0011】 そこで、本発明は、簡易なプロセス及び低廉なコストで大面積化が可能で安定かつ良好な特性を発揮し得る冷陰極電子源素子を製造することができる冷陰極電子源の製造方法を提供することを目的とするものである。

【0012】

【課題を解決するための手段】 請求項1記載の冷陰極電子源の製造方法は、エミッタ用導体層表面に、感光面である上主面よりも、前記エミッタ用導体層側の下主面の面積が小さい底状を呈するようなレジスト膜を楔状に形成する工程と、前記レジスト膜よりはみ出た前記エミッタ用導体層をエッチングにより除去する工程を含むものである。

【0013】 請求項2記載の冷陰極電子源の製造方法は、ゲート用導体層を付着した後に、前記底状を呈するレジスト膜及びこのレジスト膜表面の前記ゲート用導体

層を除去し、尖鋭化した先端をもつ楔状のエミッタを露出させるとともに、このエミッタに前記底状部分の寸法に相当する微小距離を隔てたゲートを対向配置する工程を含むものである。

【0014】

【作用】請求項1記載の冷陰極電子源の製造方法によれば、一般に通常行われているフォトリソグラフィを用いて先端の尖鋭化したエミッタを均一にかつ再現性良く形成できるため、低廉かつ大面積化が可能で、ゲート電圧の低電圧化、安定した高い放出電流、高い再現性が得られ

【0015】請求項2記載の冷陰極電子源の製造方法によれば、適当な露光条件の設定によりエミッタとゲート間の距離を均一にかつ再現性良く近接させることができるため、ゲート電圧の低電圧化、安定した高い放出電流、高い再現性が得られる。

【0016】

【実施例】以下に、本発明の実施例を詳細に説明する。

【0017】（実施例1）図1に示すように絶縁性基板1、例えばガラス基板の表面に、0.3 $\mu$ m厚のMoからなる導体層2をスパッタリングにて形成する。次に、図2に示すように前記導体層2の表面に、図2に示すように、スピナーにより、厚さ1乃至3 $\mu$ mの厚さにレジスト（ZPP2400：日本ゼオン社製）層5aをコーティングし、90℃、90秒間のプリベークを行う。

【0018】次に、図3に示すように、鋸歯状のパターン8をもつマスク9を用いた露光を行って、更に、アルカリ水溶液を用いてレジスト膜5を現像することによって、感光面である上主面よりも、下主面の面積が小さくなる底状を呈するレジスト膜5を形成する。この時のレジスト膜5の底状部分の形状は、図10、図11乃至図18に示すように露光量によって異なる。

【0019】即ち、レジスト膜5の厚さが2 $\mu$ m、プリベークが90℃、90秒、露光をPL501Fにて行い、PEB100℃、60秒、現像を2.38%TMAH65秒パドルで行った場合、露光量1.5で底状部分の寸法は3.4 $\mu$ m、露光量2.0で底状部分の寸法は1.8 $\mu$ m、露光量2.5で底状部分の寸法は1.0 $\mu$ m、露光量3.0で底状部分の寸法は0.9 $\mu$ m、露光量3.5で底状部分の寸法は0.8 $\mu$ m、露光量4.0で底状部分の寸法は0.7 $\mu$ mであった。即ち、底状部分の寸法は露光量によって決定され、これにより、後述するエミッタ3とゲート6との間の距離を調整することができる。

【0020】この後、ポストベークを行う。

【0021】次に、図4、図5に示すように、底状で、かつ、鋸歯状を呈するレジスト膜5よりもはみ出る前記導体層2をドライエッチングにより除去し鋸歯状で尖鋭化した先端をもつエミッタ3を前記レジスト膜5と絶縁性基板1との間に形成する。

【0022】ドライエッチングの条件は、エッチングガスCF<sub>4</sub>：O<sub>2</sub>=170：30sccm、圧力0.17 Torr、RF出力300W、時間10分とする。

【0023】次に、図6、図7に示すように、Ni、Cr、Ta等の金属からなるゲート6用の導体層4を絶縁性基板1に対して垂直方向から入射する条件にて蒸着により成膜する。

【0024】次に、図8、図9に示すように、前記底状で、かつ、鋸歯状を呈するレジスト膜5及びこのレジスト膜5の表面の導体層4を剥離液を用いて除去（リフトオフ）し、尖鋭化した先端をもつ鋸歯状のエミッタ3を露出させるとともに、このエミッタ3に前記底状部分の寸法に相当する微小距離を隔てて鋸歯状を呈するゲート6を対向配置する。

【0025】以上の工程により、従来のフォトリソグラフィ技術を利用して、曲率半径50nm以下のエミッタ先端が得られるとともに、冷陰極電子源素子の大面積化が可能となり、しかも製造コストの低廉化をも図れる。

【0026】また、工程数の減少による簡略化が図れ、工程途中の冷陰極電子源の損傷、破壊が低減し歩留まりの向上も図れる。

【0027】更に、自己整合（セルフアライン）プロセスによるゲート6の形成が可能となり、ゲート6-エミッタ3間距離を1 $\mu$ m以下に形成可能で、電子放出が容易になり低電圧駆動の冷陰極電子源を得ることができる。

【0028】（実施例2）図19、図20に示すように、絶縁性基板1（ガラス基板）の表面に、保護層10及びSiO<sub>2</sub>からなる絶縁層11を形成し、更に、0.3 $\mu$ m厚のMoからなる導体層2をスパッタリングにて形成する。

【0029】この後、実施例1と同様な工程で、尖鋭化した先端をもつ鋸歯状のエミッタ3及びこのエミッタ3に前記底状部分の寸法に相当する微小距離を隔てて対向する鋸歯状を呈するゲート6を前記絶縁層11の表面に形成する。

【0030】更に、前記絶縁層11にウェットエッチングを施し、エミッタ3、ゲート6の対向領域下部に絶縁層凹部12を形成してエミッタ3、ゲート6を各々前記絶縁層凹部12の空間を隔てて対向させる。これにより、エミッタ3、ゲート6が各々前記絶縁層凹部12の空間を隔てて対向することになり、電子放出効率が向上してより安定かつ良好な特性を発揮し得る冷陰極電子源を低廉なコストで製造することができる。

【0031】

【発明の効果】請求項1記載の発明によれば、曲率半径50nm以下の尖鋭化された先端をもつエミッタによる安定かつ良好な特性を発揮し得る冷陰極電子源素子を簡易なプロセスで再現性良く、また低廉なコストで歩留まり良く製造することができ、大面積化が可能な冷陰極電

子源の製造方法を提供することができる。

【0032】請求項2記載の発明によれば、エミッタに対向したゲートを $1\mu\text{m}$ 以下に近接させて、大面積にわたり均一に配置させることによる安定かつ良好な特性を発揮し得る冷陰極電子源素子を簡易なプロセスで再現性良く、また低廉なコストで歩留まり良く製造することができる冷陰極電子源の製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施例1における冷陰極電子源の製造工程を示す断面図

【図2】本発明の実施例1における冷陰極電子源の製造工程を示す断面図

【図3】本発明の実施例1における冷陰極電子源の製造工程を示す断面図

【図4】本発明の実施例1における冷陰極電子源の製造工程を示す断面図

【図5】本発明の実施例1における冷陰極電子源の製造工程を示す断面図

【図6】本発明の実施例1における冷陰極電子源の製造工程を示す断面図

【図7】本発明の実施例1における冷陰極電子源の製造工程を示す断面図

【図8】本発明の実施例1により得られる冷陰極電子源の断面図

【図9】本発明の実施例1により得られる冷陰極電子源素子の平面図

【図10】本発明の実施例1における底状部分の露光量と寸法との関係を示すグラフ

【図11】本発明の実施例1における底状部分の露光量

と寸法との関係を示す説明図

【図12】本発明の実施例1におけるエミッタとレジスト膜の形状を示す説明図

【図13】本発明の実施例1における底状部分の露光量と寸法との関係を示す説明図

【図14】本発明の実施例1における底状部分の露光量と寸法との関係を示す説明図

【図15】本発明の実施例1における底状部分の露光量と寸法との関係を示す説明図

【図16】本発明の実施例1におけるエミッタとレジスト膜の形状を示す説明図

【図17】本発明の実施例1における底状部分の露光量と寸法との関係を示す説明図

【図18】本発明の実施例1における底状部分の露光量と寸法との関係を示す説明図

【図19】本発明の実施例2の製造工程を示す断面図

【図20】本発明の実施例2の製造工程を示す断面図

【図21】従来の電子源の一例を示す部分斜視図

【図22】従来の電子源の他例を示す部分斜視図

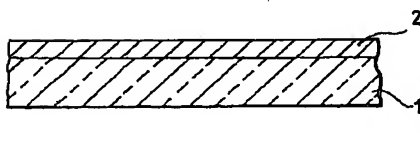
【図23】従来の電子源の更に他例を示す部分斜視図

【図24】従来の電子源の更に他例を示す部分斜視図

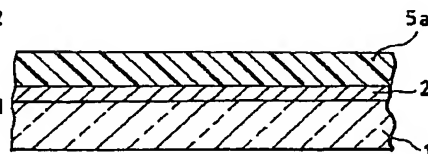
【符号の説明】

- 1 絶縁性基板
- 2 導体層
- 3 エミッタ
- 4 導体層
- 5 レジスト膜
- 6 ゲート
- 11 絶縁層
- 12 絶縁層凹部

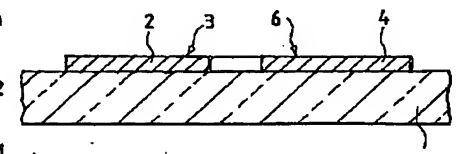
【図1】



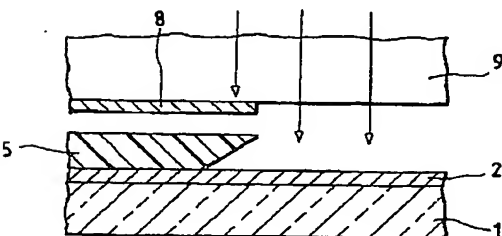
【図2】



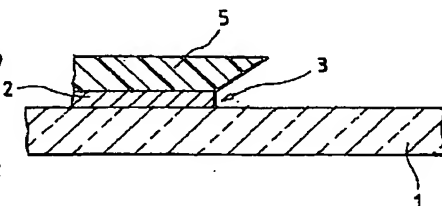
【図8】



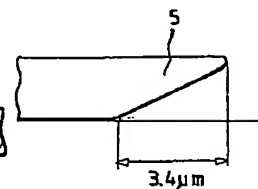
【図3】



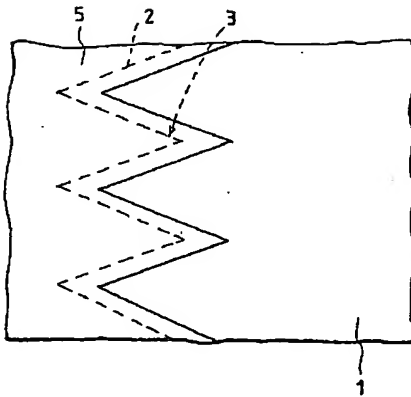
【図4】



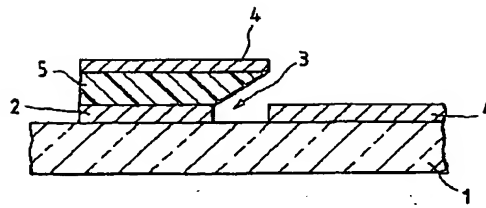
【図11】



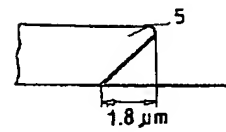
【図 5】



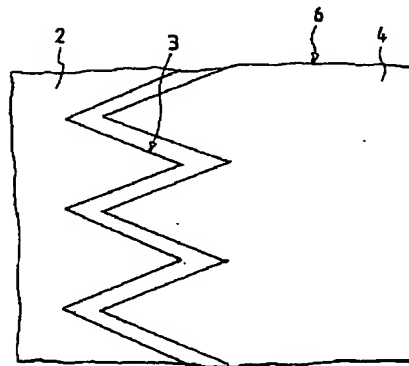
【図 6】



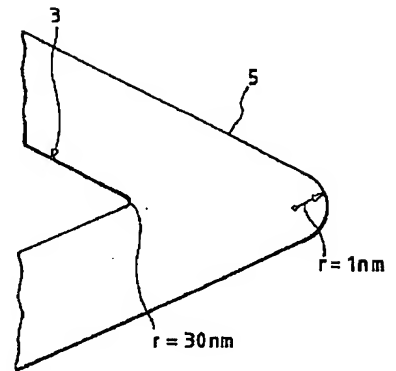
【図 13】



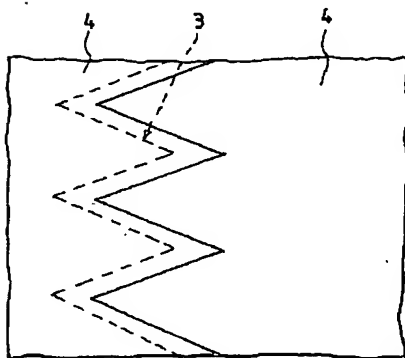
【図 9】



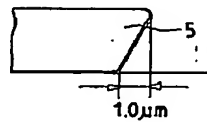
【図 12】



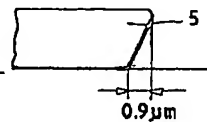
【図 7】



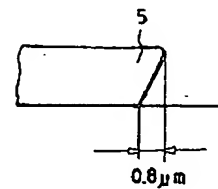
【図 14】



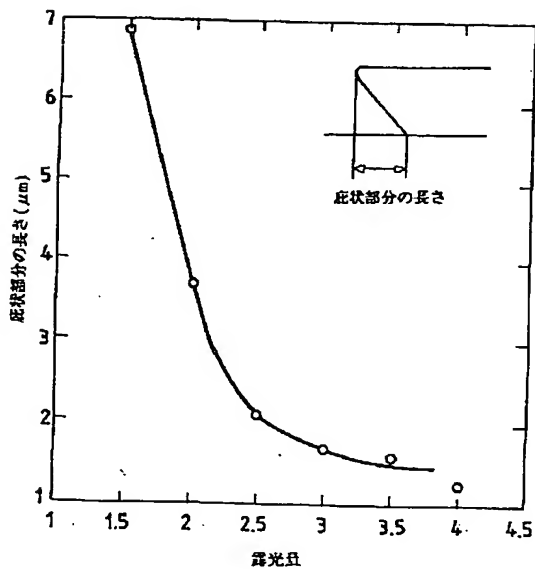
【図 15】



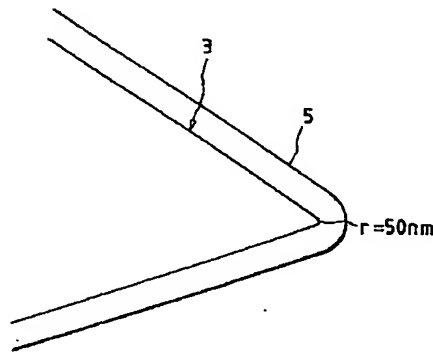
【図 17】



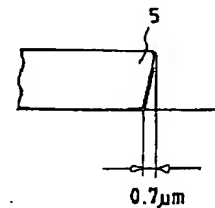
【図 10】



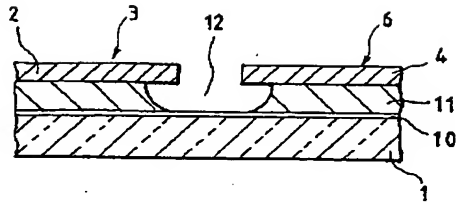
【図 16】



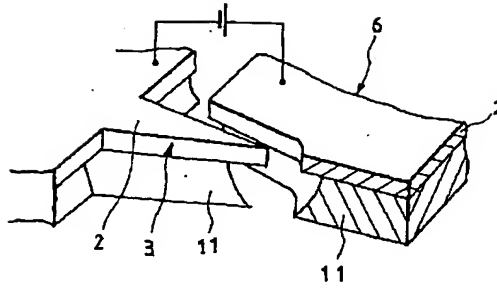
【図 18】



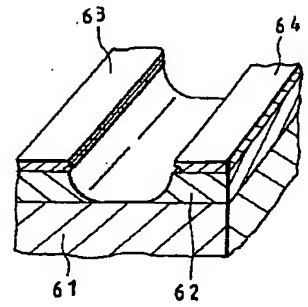
【図 19】



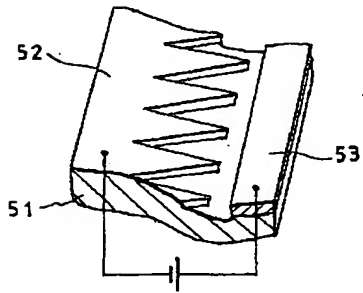
【図 20】



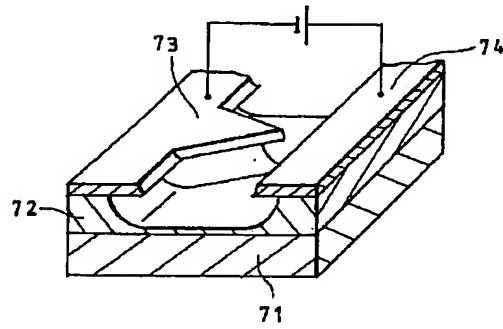
【図 22】



【図 21】



【図 23】



【図 24】

